

# 射频电路 PCB 设计布线规范

## 1、射频电路中元器件封装的注意事项

成功的 RF 设计必须仔细注意整个设计过程中每个步骤及每个细节,这意味着必须在设计开始阶段就要进行彻底的、仔细的规划,并对每个设计步骤的进展进行全面持续的评估。而这种细致的设计技巧正是国内大多数企业文化所欠缺的。

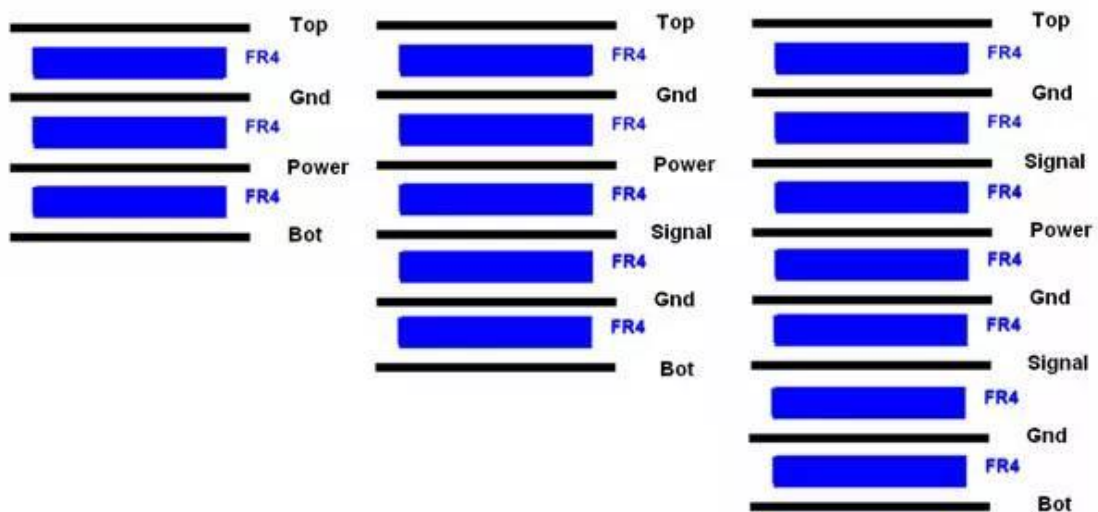
近几年来,由于蓝牙设备、无线局域网(WLAN)设备,和移动电话的需求与成长,促使业者越来越关注 RF 电路设计的技巧。从过去到现在,RF 电路板设计如同电磁干扰(EMI)问题一样,一直是工程师们最难掌控的部份,甚至是梦魇。若想要一次就设计成功,必须事先仔细规划和注重细节才能奏效。

射频(RF)电路板设计由于在理论上还有很多不确定性,因此常被形容为一种「黑色艺术」(black art)。但这只是一种以偏盖全的观点,RF 电路板设计还是有许多可以遵循的法则。不过,在实际设计时,真正实用的技巧是当这些法则因各种限制而无法实施时,如何对它们进行折衷处理。重要的 RF 设计课题包括:阻抗和阻抗匹配、绝缘层材料和层叠板、波长和谐波...等。

在 WiFi 产品的开发过程中,射频电路的布线(RF Circuit Layout Guide)是极为关键的一个过程。很多时候,我们可能在原理上已经设计的很完善,但是在实际的制板,上件过后发现很不理想,实际上这些都是布线(Layout)做的不够完善的原因。本文将以一个无线网卡的布线实例及本人的一点工作经验为大家讲解一下射频电路在布线中应该注意的一些问题。

### 电路板的叠构(PCB Stack Up)

在进行布线之前,我们首先要确定电路板的叠构,就像盖房子要先有房子的墙壁。电路板的叠构的确定与电路设计的复杂度,电磁兼容的考虑等很多因素有关。下图给出了四层板,六层板和八层板的常用叠构方式。



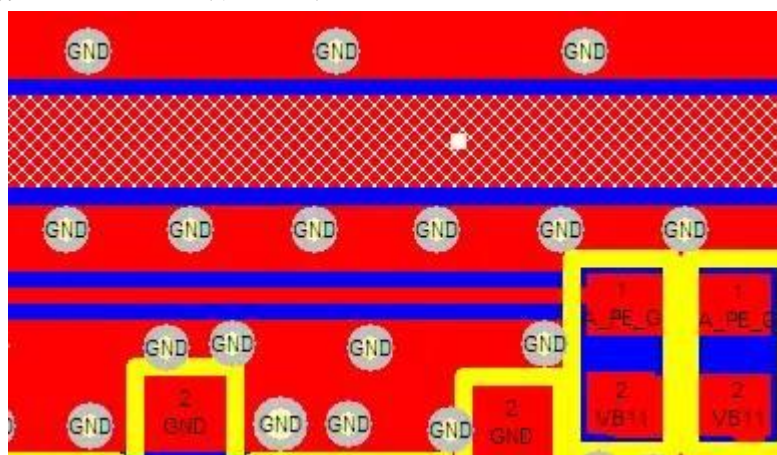
在无线网卡的 PCB 叠构中，基本上不会出现单面板的情况，所以本文也不会对单面板的情况加以讨论。两层板设计中应该注意的问题。

在四层板的设计中，我们一般会将第二层作为完整的地平面，同时，也会把重要的信号线走在顶层（当然包括射频走线），以便于很好的控制阻抗。在六层板或者更多层板的设计中，我们同样会将第二层作为完整的地平面，然后在顶层走最重要的信号线。

PS：可以使用 Polar 计算单端阻抗与阻抗等，有些 Layout 软件自身就集成了阻抗计算器，如 Allegro。

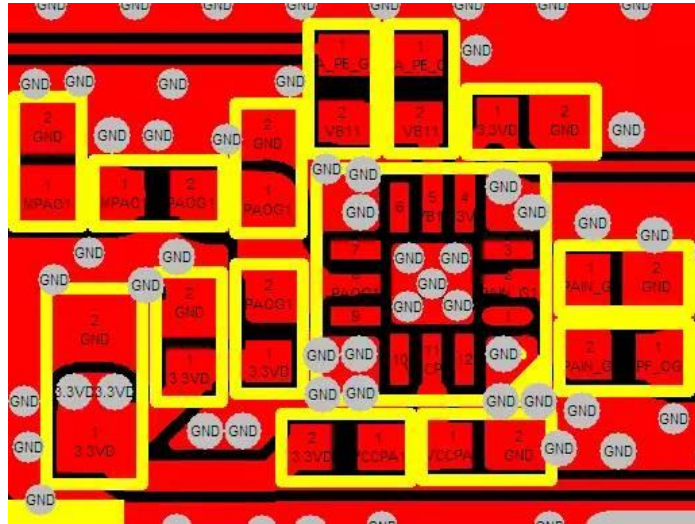
### 阻抗控制

在我们进行原理设计与仿真之后，在 Layout 中很值得注意的一件事情就是阻抗控制。众所周知，我们应该尽量保证走线的特征是 50 欧姆，这主要和线宽有关，在本实例中，是两层半，在 Polar 中采用 Surface Coplanar Line 模型进行阻抗的计算，我们可以得到一组比较理想的值：Height(H)=39.6mil,Track(W)=30mil,Track(W1)=30mil,Thickness=1OZ=1.4mil, Separation(S)=7mil, Dielectric(Er)=4.2, 对应的特征阻抗是 52.14 欧姆，符合要求。如下图中高亮的线就是这样的一条射频走线。



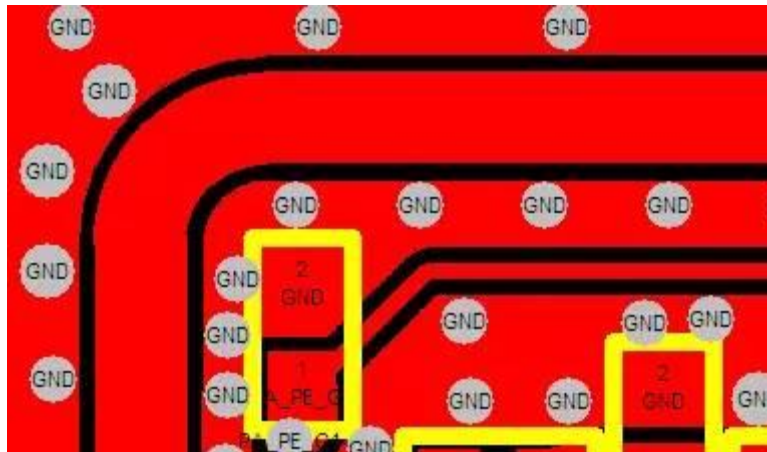
### 射频元件的摆放

相信做过射频设计的人都应该知道，我们应该尽可能的使走线的长度较短，元器件摆放的越紧凑越好（特殊要求除外），同时，也会尽可能的保证元器件的摆放对布线很有利（不要使走线绕来绕去的）。如下图，是射频功率放大器（PA，Power Amplifier）的周围器件的摆放，我们看到，元器件之间的距离很小。



### 射频走线应该注意的问题

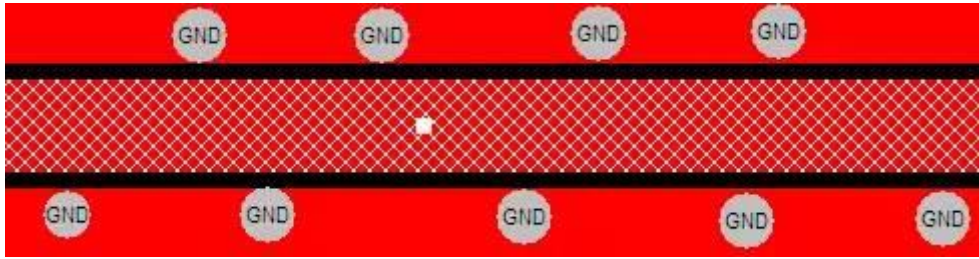
如前所述，射频走线的长度要尽量短，线宽严格按照计算好的值去设定。在走线是尤其要注意的是，射频走线中不要有任何带有尖状的折点，在走线的转折处，最好要用弧线来实现，如下图



其次，在多层板的走线中，有可能重要的射频线要产生不可避免的交叉，这时我们就要使用我们最不想使用的东西：过孔。这样，会有部分射频信号线走到底层甚至中间层，但无论是哪一层，射频走线一定会有参考平面，这时一个值得注意的问题就是不要跨层，或者说不要使地平面对不连续。

### 过孔的放置

过孔的放置真的是一件比较复杂的事情，本文只讨论那种接地的过孔。首先，射频走线的旁边的地线最好能通过过孔打穿，接到底层或者中间层的地平面上，这样可以使任何干扰信号或者辐射有最短的到地的通路，但是，过孔与射频信号线的距离又不能太近，否则会严重影响射频信号质量，在实际的设计过程中可灵活把握，如下图，我们看到，高亮的信号线两层分布着很多过孔。



其次，在面积较大的地平面处，我们通常会放置很多的过孔用于连接不同层的地。这在射频电路的布线中，要注意的就是大过孔要没有规律的打，最好能弄成菱形的，这样可以最大限度的抑制各种干扰。

## 2、射频电路电源设计注意事项

(1) 电源线是 EMI 出入电路的重要途径。通过电源线，外界的干扰可以传入内部电路，影响 RF 电路指标。为了减少电磁辐射和耦合，要求 DC-DC 模块的一次侧、二次侧、负载侧环路面积最小。电源电路不管形式有多复杂，其大电流环路都要尽可能小。电源线和地线总是要很近放置。

(2) 如果电路中使用了开关电源，开关电源的外围器件布局要符合各功率回流路径最短的原则。滤波电容要靠近开关电源相关引脚。使用共模电感，靠近开关电源模块。

(3) 单板上长距离的电源线不能同时接近或穿过级联放大器（增益大于 45dB）的输出和输入端附近。避免电源线成为 RF 信号传输途径，可能引起自激或降低扇区隔离度。长距离电源线的两端都需要加上高频滤波电容，甚至中间也加高频滤波电容。

(4) RF PCB 的电源入口处组合并联三个滤波电容，利用这三种电容的各自优点分别滤除电源线上的低、中、高频。例如：10uf，0.1uf，100pf。并且按照从大到小的顺序依次靠近电源的输入管脚。

(5) 用同一组电源给小信号级联放大器供电，应当先从末级开始，依次向前级供电，使末级电路产生的 EMI 对前级的影响较小。且每一级的电源滤波至少有两个电容：0.1uf，100pf。当信号频率高于 1GHz 时，要增加 10pf 滤波电容。

(6) 常用到小功率电子滤波器，滤波电容要靠近三极管管脚，高频滤波电容更靠近管脚。三极管选用截止频率较低的。如果电子滤波器中的三极管是高频管，工作在放大区，外围器件布局又不合理，在电源输出端很容易产生高频振荡。线性稳压模块也可能存在同样的问题，原因是芯片内存在反馈回路，且内部三极管工作在放大区。在布局时要求高频滤波电容靠近管脚，减小分布电感，破坏振荡条件。

(7) PCB 的 POWER 部分的铜箔尺寸符合其流过的最大电流，并考虑余量（一般参考为 1A/mm 线宽）。

(8) 电源线的输入输出不能交叉。

(9) 注意电源退耦、滤波，防止不同单元通过电源线产生干扰，电源布线时电源线之间应相互隔离。电源线与其它强干扰线（如 CLK）用地线隔离。

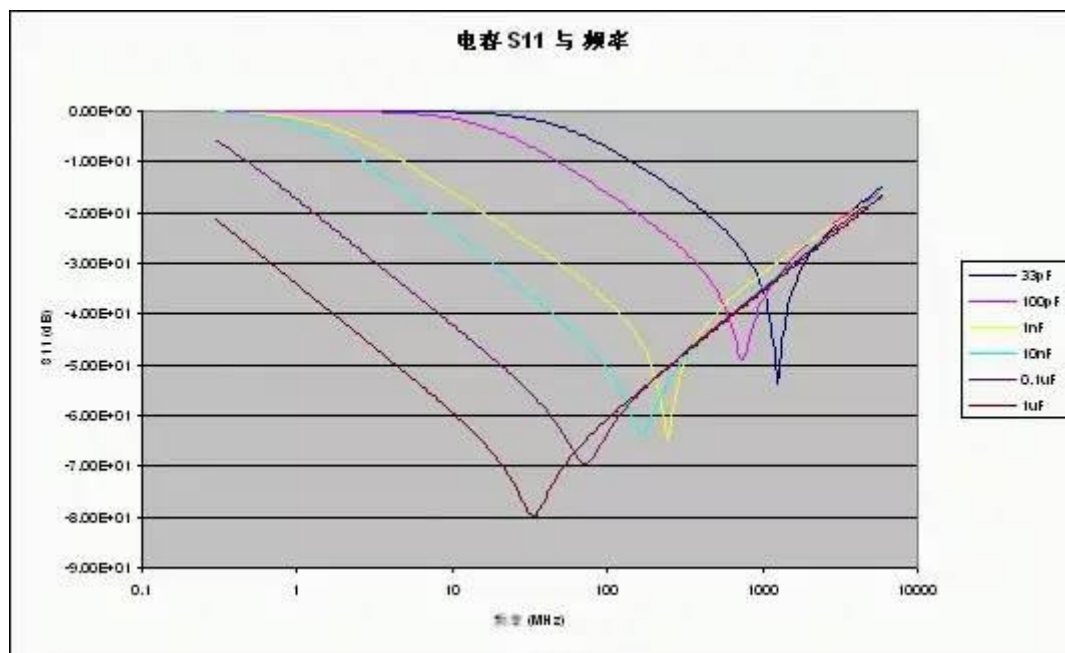
(10) 小信号放大器的电源布线需要地铜皮及接地过孔隔离，避免其它 EMI 干扰窜入，进而恶化本级信号质量。

(11) 不同电源层在空间上要避免重叠。主要是为了减少不同电源之间的干

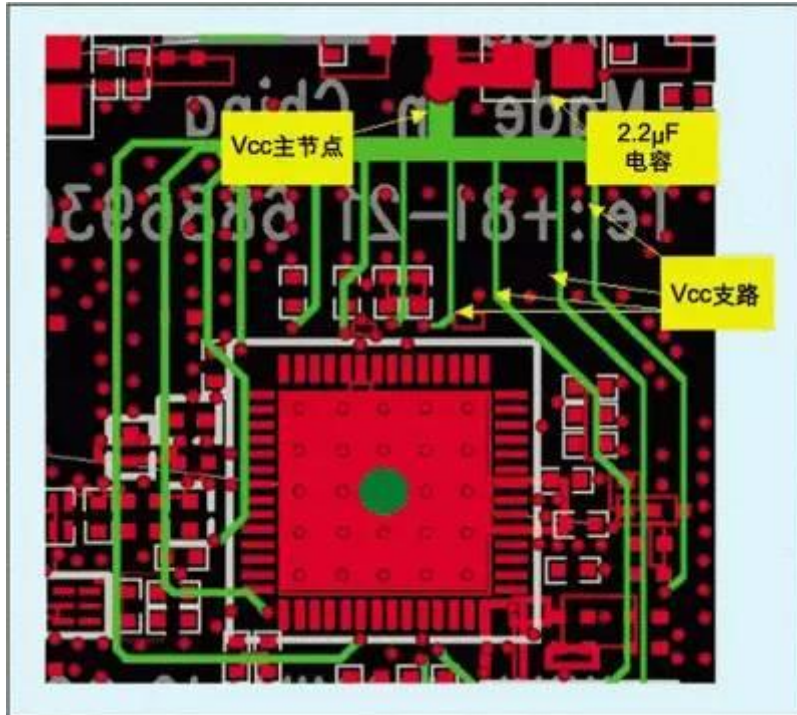


扰，特别是一些电压相差很大的电源之间，电源平面的重叠问题一定要设法避免，难以避免时可考虑中间隔地层。

(12) PCB 板层分配便于简化后续的布线处理，对于一个四层 PCB 板(WLAN 中常用的电路板)，在大多数应用中用电路板的顶层放置元器件和 RF 引线，第二层作为系统地，电源部分放置在第三层，任何信号线都可以分布在第四层。第二层采用连续的地平面布局对于建立阻抗受控的 RF 信号通路非常必要，它还便于获得尽可能短的地环路，为第一层和第三层提供高度的电气隔离，使得两层之间的耦合最小。当然，也可以采用其它板层定义的方式(特别是在电路板具有不同的层数时)，但上述结构是经过验证的一个成功范例。



(13) 大面积的电源层能够使 Vcc 布线变得轻松，但是，这种结构常常是引发系统性能恶化的导火索，在一个较大平面上把所有电源引线接在一起将无法避免引脚之间的噪声传输。反之，如果使用星型拓扑则会减轻不同电源引脚之间的耦合。

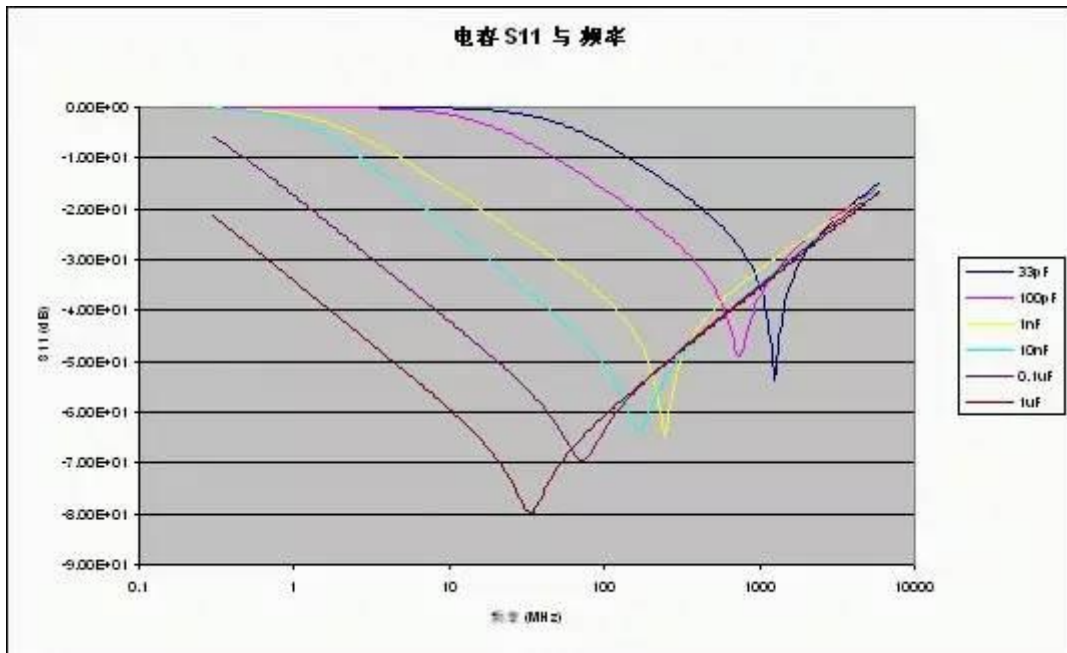


上图给出了星型连接的 Vcc 布线方案，该图取自 MAX2826 IEEE 802.11a/g 收发器的评估板。图中建立了一个主 Vcc 节点，从该点引出不同分支的电源线，为 RF IC 的电源引脚供电。每个电源引脚使用独立的引线在引脚之间提供了空间上的隔离，有利于减小它们之间的耦合。另外，每条引线还具有一定的寄生电感，这恰好是我们所希望的，它有助于滤除电源线上的高频噪声。

使用星型拓扑 Vcc 引线时，还有必要采取适当的电源去耦，而去耦电容存在一定的寄生电感。事实上，电容等效为一个串联的 RLC 电路，电容在低频段起主

$$f_s = \frac{1}{2\pi\sqrt{LC}}$$

导作用，但在自激振荡频率 (SRF) 之后，电容的阻抗将呈现出电感性。由此可见，电容器只是在频率接近或低于其 SRF 时才具有去耦作用，在这些频点电容表现为低阻。



给出了不同容值下的典型 S11 参数，从这些曲线可以清楚地看到 SRF，还可以看出电容越大，在较低频率处所提供的去耦性能越好(所呈现的阻抗越低)。在 Vcc 星型拓扑的主节点处最好放置一个大容量的电容器，如 2.2 $\mu$ F。该电容具有较低的 SRF，对于消除低频噪声、建立稳定的直流电压很有效。IC 的每个电源引脚需要一个低容量的电容器(如 10nF)，用来滤除可能耦合到电源线上的高频噪声。对于那些为噪声敏感电路供电的电源引脚，可能需要外接两个旁路电容。例如：用一个 10pF 电容与一个 10nF 电容并联提供旁路，可以提供更宽频率范围的去耦，尽量消除噪声对电源电压的影响。每个电源引脚都需要认真检验，以确定需要多大的去耦电容以及实际电路在哪些频点容易受到噪声的干扰。

良好的电源去耦技术与严谨的 PCB 布局、Vcc 引线(星型拓扑)相结合，能够为任何 RF 系统设计奠定稳固的基础。尽管实际设计中还会存在降低系统性能指标的其它因素，但是，拥有一个“无噪声”的电源是优化系统性能的基本要素。

### 3、射频 PCB 设计的 EMC 规范

#### 1 层分布

1.1 双面板，顶层为信号层，底面为地平面。

1.2 四层板，顶层为信号层，第二层为地平面，第三层走电源、控制线。特殊情况下（如 射频信号线要穿过屏蔽壁），在第三层要走一些射频信号线。每层均要求大面积敷地。

1.2 四层板，顶层为信号层，第二层为地平面，第三层走电源、控制线。特殊情况下（如 射频信号线要穿过屏蔽壁），在第三层要走一些射频信号线。每层均要求大面积敷地。

#### 2 接地

2.1 大面积接地 为减少地平面的阻抗，达到良好的接地效果，建议遵守以下要求：a) 射频 PCB 的接地要求大面积接地；b) 在微带印制电路中，底面为接地面，必须确保光滑平整；c) 要将地的接触面镀金或镀银，导电良好，以降低地线阻抗；d) 使用紧固螺钉，使其与屏蔽腔体紧密结合，紧固螺钉的间距小于  $\lambda/20$ （依具体情况而定）。

2.2 分组就近接地 按照电路的结构分布和电流的大小将整个电路分为成相对独立的几组，各组电路就近接地形成回路，要调整各组内高频滤波电容方向，缩小电源回路。注意接地线要短而直，禁止交叉重叠，减少公共地阻抗所产生的干扰。

2.3 射频器件的接地 表面贴射频器件和滤波电容需要接地时，为减少器件接地电感，要求：a) 至少要有 2 根线接铺地铜箔；b) 用至少 2 个金属化过孔在器件管脚旁就近接地。c) 增大过孔孔径和并联若干过孔。d) 有些元件的底部是接地的金属壳，要在元件的投影区内加一些接地孔，表面层不得布线。

2.4 微带电路的接地 微带印制电路的终端单一接地孔直径必须大于微带线宽，或采用终端大量成排密布小孔的方式接地。

2.5 接地工艺性要求 a) 在工艺允许的前提下，可缩短焊盘与过孔之间的距离；b) 在工艺允许的前提下，接地的大焊盘可直接盖在至少 6 个接地过孔上（具体数量因焊盘大小而异）；c) 接地线需要走一定的距离时，应缩短走线长度，禁止超过  $\lambda/20$ ，以防止天线效应导致信号辐射；d) 除特殊用途外，不得有孤立铜箔，铜箔上一定要加地线过孔；e) 禁止地线铜箔上伸出终端开路的线头。

### 3 屏蔽

3.1 射频信号可以在空气介质中辐射。空间距离越大，工作频率越低，输入输出端的寄生耦合就越小，隔离度则越大。PCB 典型的空间隔离度约为 50dB。

3.2 敏感电路和强烈辐射源电路要加屏蔽，但如果设计加工有困难时（如空间或成本限制等），可不加，但要做试验最终决定。这些电路有：a) 接收电路前端是敏感电路，信号很小，要采用屏蔽。b) 对射频单元和中频单元须加屏蔽。接收通道中频信号会对射频信号产生较大干扰，反之，发射通道的射频信号对中频信号也会造成辐射干扰。c) 振荡电路：强烈辐射源，对本振源要单独屏蔽，由于本振电平较高，对其他单元形成较大的辐射干扰。d) 功放及天馈电路：强烈辐射源，信号很强，要屏蔽。e) 数字信号处理电路：强烈辐射源，高速数字信号的陡峭的上下沿会对模拟的射频信号产生干扰。f) 级联放大电路：总增益可能会超过输出到输入端的空间隔离度，这样就满足了振荡条件之一，电路可能自激。如果腔体内的电路同频增益超过 30—50dB，必须在 PCB 板上焊接或安装金属屏蔽板，增加隔离度。实际设计时要综合考虑频率、功率、增益情况决定是否加屏蔽板。g) 级联的滤波、开关、衰减电路：在同一个屏蔽腔内，级联滤波电路的带外衰减、级联开关电路的隔离度、级联衰减电路的衰减量必须小于 30—50dB。如果超过这个值，必须在 PCB 板上焊接或安装金属屏蔽板，增加隔离度。实际设计时要综合考虑频率、功率、增益情况决定是否加屏蔽板。h) 收发单元混排时应屏蔽。i) 数模混排时，对时钟线要包地铜皮隔离或屏蔽。

### 4 屏蔽材料和方法



4.1 常用的屏蔽材料均为高导电性能材料，如铜板、铜箔、铝板、铝箔。钢板或金属镀层、导电涂层等。

4.2 静电屏蔽主要用于防止静电场和恒定磁场的影响。应注意两个基本要点，即完善的屏蔽体和良好的接地性。

4.3 电磁屏蔽主要用于防止交变磁场或交变电磁场的影响，要求屏蔽体具有良好的导电连续性，屏蔽体必须与电路接在共同的地参考平面上，要求 PCB 中屏蔽地与被屏蔽电路地要尽量接近。

4.4 对某些敏感电路，有强烈辐射源的电路可以设计一个在 PCB 上焊接的屏蔽腔，PCB 在设计时要加上“过孔屏蔽墙”，就是在 PCB 上与屏蔽腔壁紧贴的部位加上接地的过孔。要求如下：a) 有两排以上的过孔；b) 两排过孔相互错开；c) 同一排的过孔间距要小于  $\lambda/20$ ；d) 接地的 PCB 铜箔与屏蔽腔壁压接的部位禁止有阻焊。

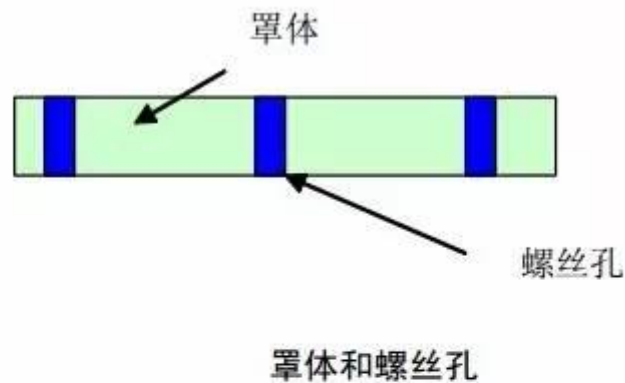
4.5 射频信号线在顶层穿过屏蔽壁时，要在屏蔽腔相应位置开一个槽门，门高大于 0.5mm，门宽要保证安装屏蔽壁后信号线与屏蔽体间的距离大于 1mm。

## 5 屏蔽罩设计

### 5.1 金属屏蔽腔的基本结构

5.1.1 此类屏蔽罩被广泛使用，如图 27。材料一般为薄的铝合金，制造工艺一般采用冲压折弯或压力铸造工艺，这种屏蔽罩有较多的螺钉孔，便于螺钉固定。部分需铝合金盖子和吸波材料增强屏蔽性能。射频 PCB 需装在屏蔽腔内，要选择合适的屏蔽腔尺寸，使其最低谐振频率远高于工作频率，最好 10 倍以上，详见附录 G“金属屏蔽腔的尺寸设计”。

5.1.2 屏蔽腔的高度一般为第一层介质厚度 15—20 倍或以上，在屏蔽腔面积一定时，要提高屏蔽腔的最低谐振频率，需增加长宽比，避免正方形的腔体，如图。



## 5.2 金属屏蔽腔对 PCB 布局的工艺要求

5.2.1 屏蔽罩与 PCB 板接触的罩体设计时应考虑 PCB bottom 面的器件高度，特别是插件器件引脚伸出的高度。

5.2.2 需考虑螺丝禁布区的大小，防止组装时损坏表层线路或器件。射频功放板由于结构尺寸的限制，其单板尺寸相对较小，故一般要求螺钉安装空间（禁布区）至少在安装孔焊盘外侧。螺钉安装空间见表 5

表 5 螺钉安装空间

单位: mm

	M2.5	M3	M4	M5	M6
孔径 $\Phi$ (D1)	3	3.5	4.5	6	7
焊盘(有接地要求) (D2)	7.5	8	10	11	13

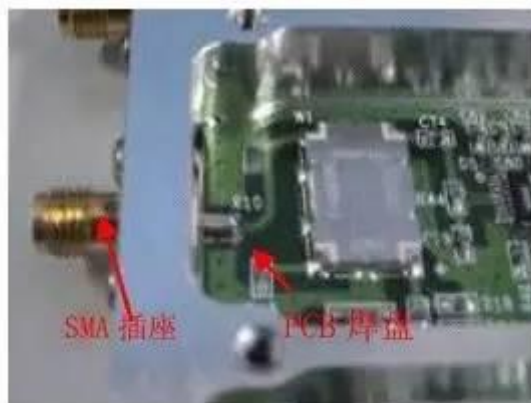
5.2.3 金属屏蔽罩自身成本和装配成本很贵，并且外形不规则的金属屏蔽罩在制造时很难保证高精度和高平整性，又使元器件布局受到一些限制；金属屏蔽罩不利于元器件更换和故障定位。

5.2.4 尽可能保证屏蔽罩的完整非常重要，进入金属屏蔽罩的数字信号线应该尽可能走内层，RF 信号线可以从金属屏蔽罩底部的小缺口和地缺口处的布线层上走出去，不过缺口处周围要尽可能地多布一些地，不同层上的地可通过多个过孔连在一起。

5.2.5 为保证装配和返修，金属屏蔽罩周围 5 mm 范围内不能有超过其高度的器件，Chip 小器件到屏蔽罩的距离应该 2 mm 以上，其它器件距离要求 3 mm 以上，并且放置朝向最好符合方便维修方向。

5.2.6 金属屏蔽罩内部不能有超过其高度的器件，并且器件顶部到屏蔽罩面的距离要符合安全规范要求。

5.2.7 需考虑 SMA 微带插座与 PCB 板接触时的高度匹配，否则焊接可靠性存在影响。如图 29 所示，设计时须考虑 PCB 板厚的公差 ( $\pm 10\%$ )，金属屏蔽腔的加工误差 ( $\pm 0.05\text{mm}$ )。建议 SMA 微带插座与 PCB 板的高度间隙不超过 0.5mm，插座与焊盘不允许有明显偏差。



SMA 微带插座与 PCB 连接

5.2.8 由于功放板设计的特殊情况，容许 2 块单板之间信号穿过屏蔽罩，并用飞线连接，如图



功放板板内信号用飞线连接

#### 4、射频走线与地

举个例子来说吧。我们将对多层电路板进行射频线仿真，为了更好的做出对比，将仿真的 PCB 分为表层铺地前的和铺地后的两块板分别进行仿真对比；表层未铺地的 PCB 文件如下图 1 所示(两种线宽)：

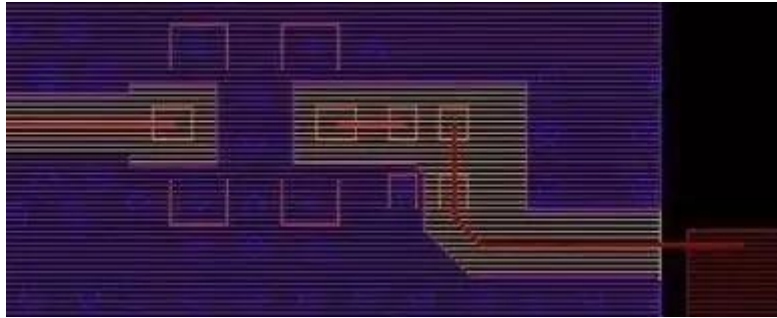


图 1a: 线宽 0.1016 mm 的射频线(表层铺地前)

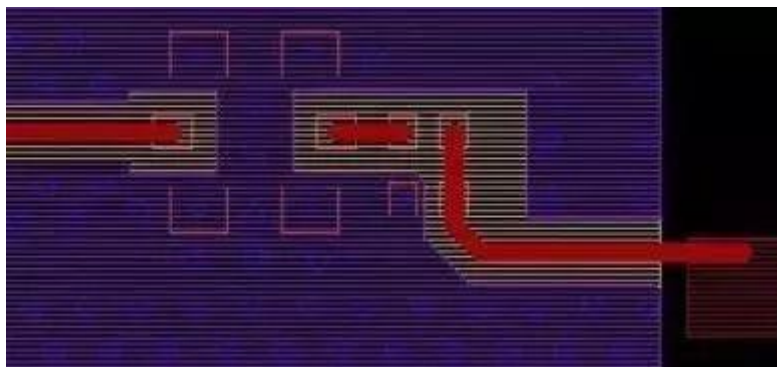


图 1b: 线宽 0.35 mm 的射频线(表层铺地前)

首先将线宽不同的两块板(表层铺地前)由 ALLEGRO 导入 SIWAVE, 在目标线上加入  $50\Omega$  端口。针对不同线宽 0.1016mm 和 0.35mm, 我们的仿真结果如图 2 所示, 图中显示的曲线是 S21, 仿真频率范围为 800MHz-1GHz。

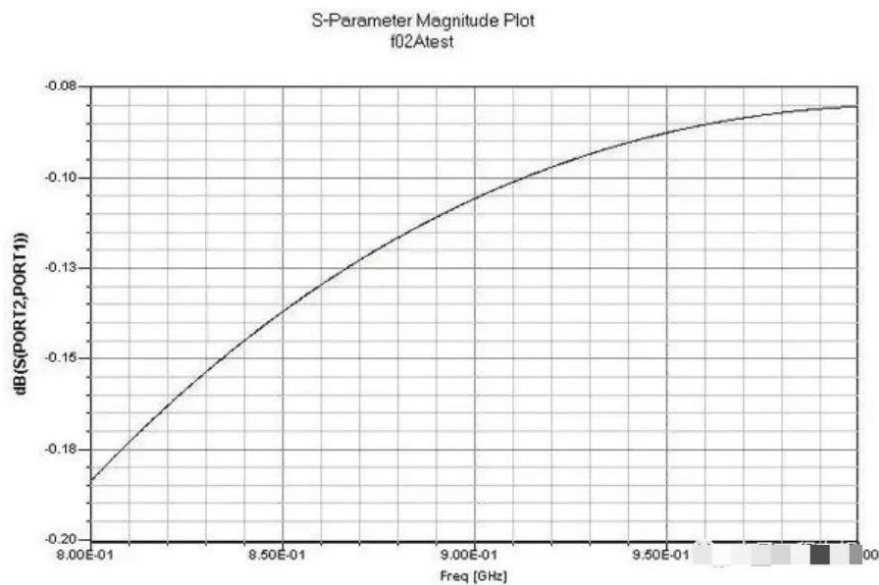
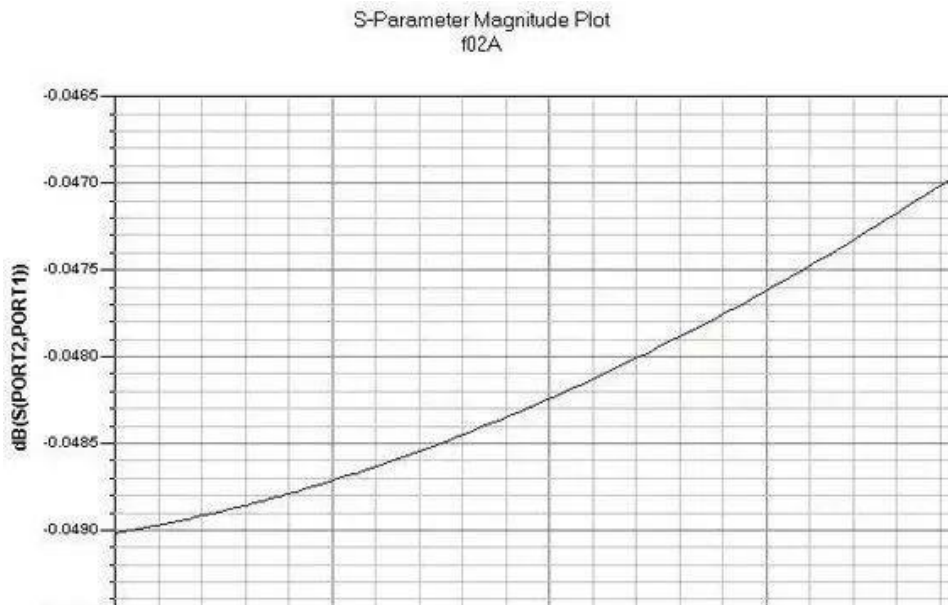


图 2a: 表层未铺地的 S21 (线宽 0.1016mm)





由图中可以看到，在 800MHz-1GHz 的范围内，仿真的数据展示为小数点后一到两位的数量级，0.35mm 的损耗要比 0.1016mm 的线小一个数量级，这是因为 0.35mm 的线宽在该板的层叠条件下其特征阻抗接近  $50\Omega$ 。因此间接验证了我们所做的阻抗计算(用线宽约束)是有一定作用的。接下来我们做了表层铺地后的同样的仿真(800MHz-1GHz)，导入的 PCB 文件如下图。



图 3a: 0.1016 mm 的射频线(表层铺地)



图 3b: 0.35 mm 的射频线(表层铺地)

图 3: 表层铺过地后的 PCB

仿真结果如下图:

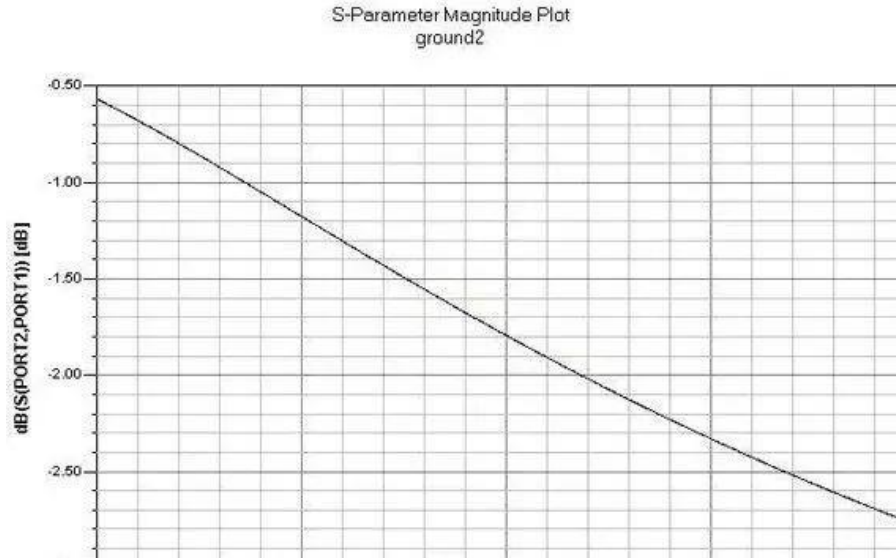


图 4a: 表层铺地后的 S21 (0.1016mm)

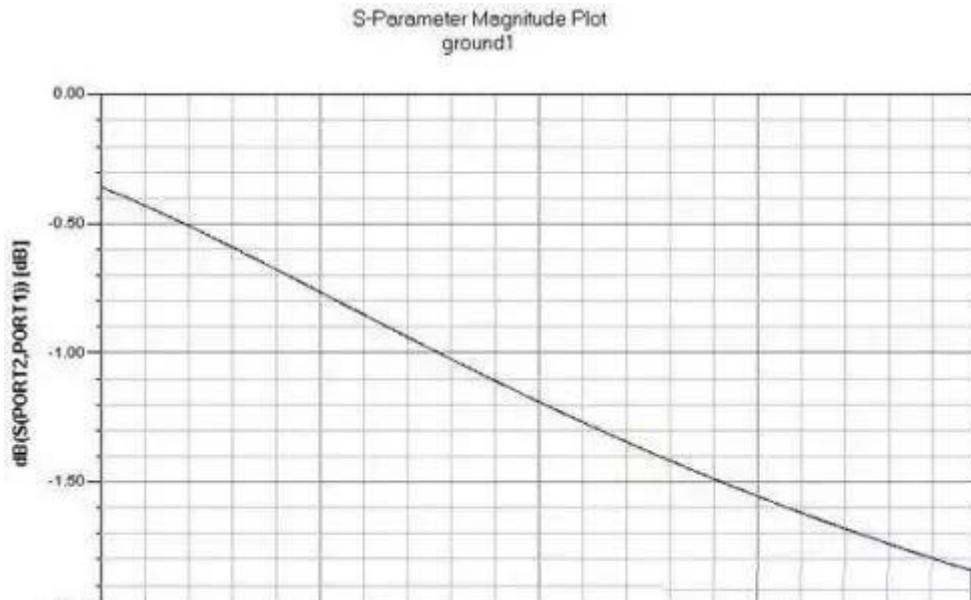


图 4b: 表层铺地后的 S21 (0.35mm)

图 4: 表层铺过地后的 S21

由图中看到, 仿真的数据显示, 该传输线的线损已经是 1-2 dB 的数量级了, 当然 0.35 mm 的损耗要明显小于 0.1016 mm 的。另外一个明显的现象是相对于未铺地的仿真结果, 随着频率由 800MHz 到 1GHz 的增加, 损耗趋大。 我们可以从仿真的结果中得到这样一个结果: **1.射频走线最好按 50 欧姆走, 可以减小线损; 2.表层的铺地事实上是将一部分 RF 信号能量耦合到了地上, 造成了一定的损耗。因此 PCB 表层的铺地应该有所讲究。尽量远离 RF 线。工程经验是大于 1.5 倍的线宽。**

### 【5】设计 checklist

大类	小类	编号	要素描述
通用	布局	1	ESD 防护元件直接放在主信号路径上。
		2	模块分腔屏蔽合理，已关注腔体自谐振频率。
		3	屏蔽墙及内倒角位置的顶面是布局、布线、信号过孔禁布区。
		4	匹配元件靠近相关的 RF 器件端口布局
		5	已考虑热设计，保证热量不集中，散热容易。
		6	RF 主信号流一字布局，如果受空间限制，不能一字布局时，可以采用 L 形布局，慎用 U 形布局。
		7	对绕线电感的布局必须要保证相邻电感的磁力线相互垂直，对印制线类电感（LTCC 工艺）如做不到磁力线相互垂直，应该远离放置。
		8	分立元件构成的组合电路，不被其它元件或传输线打散，例如电阻衰减器的三个电阻布局互相靠近。滤波器电路要一面布局，并且不能被其它传输线打散。
		9	高中低频组合滤波，高频小容量滤波电容最靠近器件管脚。
	10	PCB 螺钉数量和布局合理。	
	11	功放 PCB 开窗综合考虑了安装余量和电气性能。	
	12	功放可变电容、隔直电容位置已按原理图设计者要求布局。	

1 3	元件离屏蔽壁间距符合要求，考虑了误差。
1 4	射频 PCB 的输入输出和其它部分的接口是否满足设计要求。
1 5	在正常工作或测试环境下，没有 Stub。
1 7	数字芯片 PWM 调制输出直流的 RC 滤波电路，放置在数字芯片侧。
1 8	腔内同频增益超过 40dB 级联放大电路需进行了分腔。例如：接收通道的增益一般会很大，需要进行分腔
1 9	级联衰减电路的衰减量大于 40dB 的电路需进行分腔。
2 0	级联滤波电路的带外衰减和级联开关电路的隔离度大于 40dB，则需要分腔。
2 1	射频电源的分配一般按照就近供电的原则，以免相互之间产生干扰。同时，在不同芯片共用同一个电源芯片时，要注意芯片之间是否会通过电源产生干扰。
2 2	电源的摆放位置是否合适，要保证输入输出电源线不能交叉，走线距离最短。
2 3	电源输入口的滤波电容是否靠近输入管脚，并且按照从大到小的顺序排列，容值最小的电容最靠近电源的输入管脚。
2	器件 DATASHEET 上有特殊要求的布局是否满足。



	4	
<b>布线</b>	1	布 RF 线需要进行控制走线阻抗，将它们布得尽可能直接，这样可以减小损耗和不期望得到的耦合。
	2	微带线下方需要连续的地，同样的，带状线上方和下方也需要连续的地；地平面不仅提供需要的回路，还可以将信号跟其它信号层隔离；
	3	长的、没有屏蔽的走线，如 RF 前端的连线需要用带状线，这样有利于使用固有的屏蔽。
	4	避免在内层和外层多次来回走线；
	5	当 RF 信号线在不同层之间过渡时，过孔需要远离潜在的干扰电路、走线及过孔（比如数字控制线、时钟、电源等）；确保射频过孔和干扰路径之间铺地并加地过孔，起隔离作用。
	6	时钟线、数据线、控制线之间的距离需满足 3W 原则。如果空间允许，尽量拉开线间距离。
	7	走线要最短，不能闭环，不能有锐角和直角。
	8	晶振表面以下不能有过孔和走线。频综、pll 滤波器件、VCO、滤波器和电感下表面不能走线。
	9	模拟信号与数字信号，电源线与控制信号线，弱信号与其他任何信号需要分层（最好有地隔离）或相距较远走线。如果分层相邻层的线与线之间不能并行走线，最好垂直走线。如果没有分层线间的距离是要满足隔离度的要求，至少满足线距大于 3W。
	10	射频敏感信号不能靠近强辐射信号。

1 1	差分信号线需对称走线，线长相差不能超过 100mil，差分线对间的间距需满足 3W 规则。
1 2	输入输出阻抗不是 50 欧姆的器件，输入输出阻抗线需满足阻抗匹配要求。
1 3	在原理图中，有特殊要求的阻抗线需满足原理图的设计要求。
1 4	不同单元电源线布线时，电源线之间需相互隔离，以免各单元电路通过电源相互干扰。
1 5	不同电源层在空间上不能重叠，如果重叠需要有地层隔离。
1 6	电源的走线线宽要满足电流的通流量要求。（一般参考为 1A/mm 线宽）
1 7	RF 信号布线周围如果存在其它 RF 信号线，在两者之间需辅地铜皮，并打地过孔。
1 8	电源部分导线印制线在层间转接的过孔数符合通过电流的要求（1A/ $\Phi$ 0.3mm 孔）。
1 9	RF 信号布线周围如果存在其它不相关的非 RF 信号（如过路电源线），在两者之间需辅地铜皮，并打地过孔。
2 0	小信号放大器的电源布线需要地铜皮及接地过孔隔离，避免其它 EMI 干扰窜入，进而恶化本级信号质量。
2 1	接地线要短而直，减少分布电感，减小公共地阻抗所产生的干扰。

	2 2	RF 主信号路径上的接地器件和电源滤波电容需要接地时，为减小器件接地电感，要求就近接地。
	2 3	有些元件的底部是接地的金属壳，要在元件的投影区内加一些接地孔，投影区内的表面层不得布信号线和过孔；
	2 4	接地线需要走一定的距离时，应加粗走线线宽、缩短走线长度，禁止接近和超过 1/4 导引波长，以防止天线效应导致信号辐射；
	2 5	除特殊用途外，不得有孤立铜皮，铜皮上一定要加地线过孔。
	2 6	对某些敏感电路、有强烈辐射源的电路分别放在屏蔽腔内，装配时屏蔽腔压在 PCB 表面。PCB 在设计时要加上“过孔屏蔽墙”，就是在 PCB 上与屏蔽腔壁紧贴的部位加上接地的过孔。要有两排以上的过孔，两排过孔相互错开，同一排的过孔间距在 100mils 左右。
	2 7	一些 RF 器件封装较小，SMD 焊盘宽度可能小至 12mils，而 RF 信号线宽可能达 50mils 以上，要用渐变线，禁止线宽突变，且过渡部分的线不宜太长。
	2 8	当 50 欧细微带线上有大焊盘时，大焊盘相当于分布电容，破坏了微带线的特性阻抗连续性。需将焊盘下方的地平面挖空，来减小焊盘的分布电容。并通过软件仿真，保证阻抗为 50 欧姆。
	2 9	过孔是引起 RF 通道上阻抗不连续性的重要因素之一，如果信号频率大于 1 GHz，就要考虑过孔的影响。具体情况需用 HFSS 和 Optimetrics 进行优化仿真。
射 频 源 模	1	数据、时钟、使能线不能在数字频率合成器芯片、晶体、晶振、变压器、光耦、电源模块等器件底部表面层走线。

模块	2	频综的电源线要和其他干扰信号进行隔离，以免影响频综的相位噪声和杂散。
	3	环路滤波器的布局要同层布局，并且结构紧凑，靠近相关的滤波管脚，在滤波器的下表面不能走线。
	4	VCO 的电源和控制电压，要和其它干扰信号进行隔离。
	5	VCO 和频综下面不能走线。
	6	频综的数据、时钟、使能信号之间的距离要满足至少 3W 的间距。如果分层布线，不能平行重叠走线。
	参考源模块	1
2		数据、时钟、使能信号之间的距离要满足至少 3W 的间距。如果分层布线，不能平行重叠走线。
4		VCO 的电源和控制电压，要和其它干扰信号进行隔离。
5		参考源的输出电路要和其它信号进行隔离。
LNA 模块	1	LNA 的输入信号线要越短越好。减小线损，增强接收通道的灵敏度。
	2	LNA 的匹配电路要靠近相应的管脚放置。
	3	射频前端的 ESD 防护电路，一定要放在射频信号的主干线上，以防降低防护等级。
小信号放大器模块	1	小信号放大器的电源布线需要地铜皮及接地过孔隔离，避免其它 EMI 干扰窜入，进而恶化本级信号质量。
	2	单片放大器偏置电感的焊盘也最好放在 RF 信号线上，如果空间紧张也可通过 12mil 高阻线与 RF 信号线相连。



		3	当同一电源给两级放大器同时供电时，电源要从后级向前级供电，以免末级放大电路影响前级。
		4	小信号放大器的电源地回路要小，电容接地要短而直，减小公共地阻抗所产生的干扰。
滤波器模块		1	滤波器的匹配元件要靠近相应的管脚。
		2	当滤波器的输入输出管脚为大焊盘时，为了保证阻抗的连续性，需要将其下面的层挖空。需通过仿真软件计算具体的阻抗值。
		3	当滤波器底部是金属外壳与接地脚相连，器件的元件面投影区是禁布区，不能布微带线和过孔，
集成混频器		1	要注意混频器的外围器件应该按照 DATASHEET 的要求布局。
		2	对于集成双平衡混频器，扼流电感和隔离电感一定要远离，并且垂直放置。
		3	对于集成双平衡混频器，隔离电感的接地必须充分，尽量在附近多打地孔。
		4	对于集成双平衡混频器，两个扼流电感要保持对称平行放置
集成调制器		1	I/Q 是两对差分线对，这两对差分线对间的间距满足 3W 规则，并且中间要加地孔隔离。
		2	I/Q 分别是两对差分线对，这两对差分线要并行走线，不能交叉走线。
		3	两对差分线线长相差不能超过 100mil。
		4	差分线走线过孔不能超过 4 个。
电源射频电源电路		1	电源线是 EMI 出入电路的重要途径。通过电源线，外界的干扰可以传入内部电路，影响 RF 电路指标。为了减少电磁辐射和耦合，要求 DC-DC 模块的一次侧、二次侧、负载侧环路面积最小。电源电路不管形式有多复杂，其大电流环路都要尽可能小。

		2	单板上长距离的电源线不能同时接近或穿过级联放大器（增益大于 45dB）的输出和输入端附近。避免电源线成为 RF 信号传输途径，可能引起自激或降低扇区隔离度。长距离电源线的两端都需要加上高频滤波电容，甚至中间也加高频滤波电容。
		3	RF PCB 的电源入口处组合并联三个滤波电容，利用这三种电容的各自优点分别滤除电源线上的低、中、高频。例如：10uf, 0.1uf, 100pf。并且按照从大到小的顺序依次靠近电源的输入管脚。
		4	用同一组电源给小信号级联放大器供电，应当先从末级开始，依次向前级供电，使末级电路产生的 EMI 对前级的影响较小。且每一级的电源滤波至少有两个电容：0.1uf, 100pf。当信号频率高于 1GHz 时，要增加 10pf 滤波电容。
		5	不同电源层在空间上要避免重叠。主要是为了减少不同电源之间的干扰，特别是一些电压相差很大的电源之间，电源平面的重叠问题一定要设法避免，难以避免时可考虑中间隔地层。
		6	电源部分导线印制线在层间转接的过孔数符合通过电流的要求（1A/ $\Phi$ 0.3mm 孔）。
		7	PCB 的 POWER 部分的铜箔尺寸符合其流过的最大电流，并考虑余量（一般参考为 1A/mm 线宽）。
		8	电源线的输入输出不能交叉。
其它	安规	1	电源印制导线在层间转接的过孔数符合通过电流的要求（1A/ $\Phi$ 0.3 孔）
		2	PCB 的 POWER 部分的铜箔尺寸符合其流过的最大电流，并考虑余量（一般参考为 2A/mm 线宽）

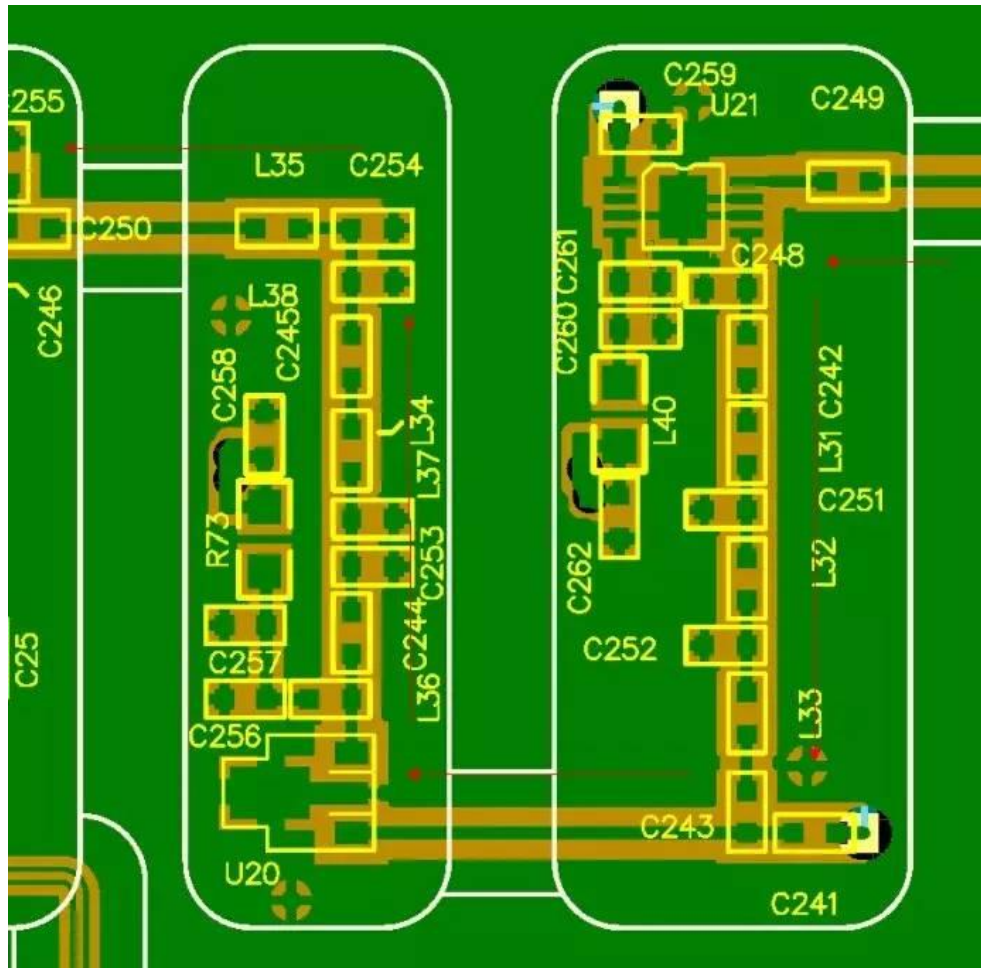
	3	单板上高温元器件的防护和热处理措施合理（类似加热器件的高温元器件处理）
	4	较大面积可触及导电零部件外壳与地连接（如 DC/DC 外壳、屏蔽盒）
	5	较大体积零件的固定孔及安装后的电气间隙和在印制板上的爬电距离符合安规要求。（如 DC/DC 外壳、屏蔽盒）
	6	屏蔽盒固定后，与其它接插件等带能量危险或与危险电压电极的电气间隙达到安规要求；固定螺钉及垫片在印制板上爬电距离符合要求。
	7	-48V 输入印制线位于重叠位置，层间距离没有小于 0.1mm。
	8	PCB 电源部分的连接器有防止反插措施
	9	DC/DC 的输入/输出印制线，不与 DC/DC 模块在同一面（贴装 DC/DC 除外，无台阶的 DC/DC 外壳会与印制线的电气间隙不够，甚至会依靠阻焊剂绝缘）
	10	功放输出口有保护电路（如环行器等）保证不会过功率引发过热或燃烧事件
	11	防雷击连接器与气体放电管及保护二极管之间的布线要尽量粗，并且其布线到地的距离要大于 80mil 以上。

### 一、布局注意事项

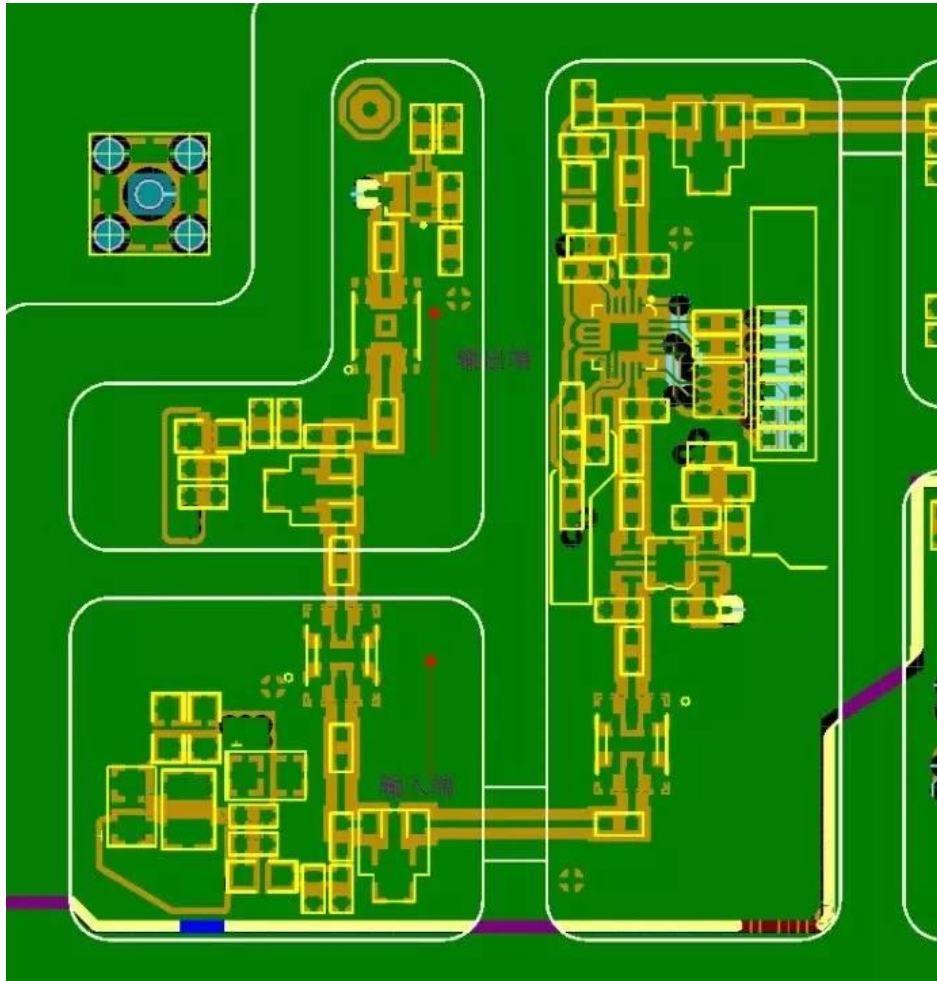
（1）结构设计要求 在 PCB 布局之前需要弄清楚产品的结构。结构需要在 PCB 板上体现出来。比如腔壳的外边厚度大小，中间隔腔的厚度大小，倒角半径大小和隔腔上的螺钉大小等等（换句话说，结构设计是根据完成后的 PCB 上所画的轮廓（结构部分）进行具体设计的）。一般情况，外边腔厚度为 4mm；内腔宽度为 3mm；点胶工艺的为 2mm；倒角半径 2.5mm。以 PCB 板的左下角为原点，隔腔需在栅格 0.5 的整数倍，最少要做到栅格为 0.1 的整数倍。这样有利于结构加工商进行加工，误差控制比较精确些。当然，这需要根据客户的要求来设计。下图所示为 PCB 设计完成后的结构轮廓图：

（2）布局要求 布局优先对射频链路进行布局，然后对其它电路进行布

局。A 射频链路布局注意事项 完全根据原理图的先后顺序（输入到输出，包括每个元件的先后 位置和元件与元件之间的间距都有讲究的。有的元件与元件之间距离 不宜过大，比如  $\pi$  网。）进行布局，布局成“一”字形或者“L”形。在实际的射频链路布局中，因受产品的空间限制，不可能完全实现，这就迫使我们将布局成“U”形。布局成 U 形并不是不可以，但 需要在中间加隔腔将其左右进行隔离，做好屏蔽。



还有一种在横向也需要添加隔腔。即，用隔腔把一字形左右进行 隔离。这主要是因为需要隔离部分非常敏感或易干扰其它电路；另外， 还有一种可能就是一字形输入端到输出端这段电路的增益过大，也需 要用隔腔将其分开（若增益过大，腔体太大，可能会引起自激。）。)



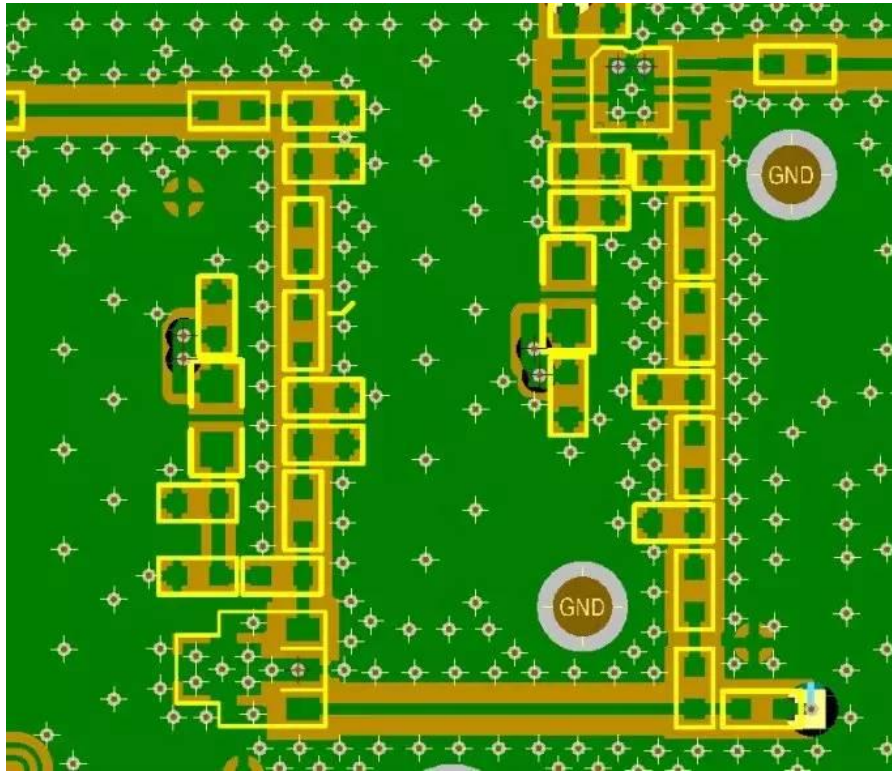
B 芯片外围电路布局 射频器件外围电路布局严格参照 **datasheet** 上面的要求进行布 局，受空间限制可以进行调整；数字芯片外围电路布局就不多讲了。

## 二、 布线注意事项

根据 50 欧姆阻抗线宽进行布线，尽量从焊盘中心出线，线成直 线，尽量走在表层。在需要拐弯的地方做成 45 度角或圆弧走线，推 荐在电容或电阻两边进行拐弯。如果遇到器件走线匹配要求的，请严 格按照 **datasheet** 上面的参考值长度走线。比如，一个放大管与电容 之间的走线长度(或电感之间的走线长度)要求等等。

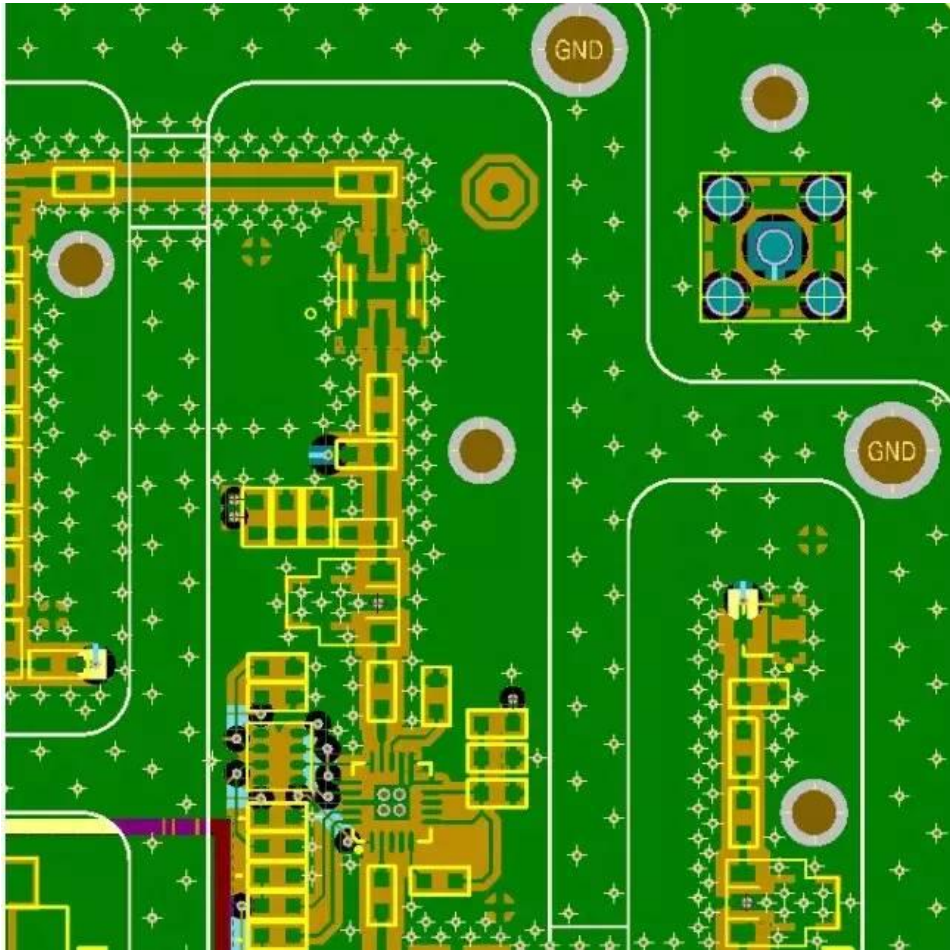
在进行 PCB 设计时,为了使高频电路板的设计更合理,抗干扰性能更 好,应从以下几方面考虑(通用做法): (1) 合理选择层数 在 PCB 设计中 对高频电路板布线时,利用中间内层平面作为电源和 地线层,可以起到屏蔽的作用,有效降低寄生电感、缩短信号线长度、降低信号间的交叉干扰。(2) 走线方式 走线必须按照 45°角拐弯或圆弧拐弯,这样可以减小高频信 号的发射和相互之间的耦合。(3) 走线长度 走线长度越短越好,两根线并行距离越短越好。(4) 过孔数量 过孔数量越少越好。(5) 层间布线方向 层间布线方向应该取垂直方向,就是顶层为水平方向,底层为 垂直方向,这样可以减小信号间的干扰。(6) 敷铜 增加接地的敷铜可以减小信号间的干扰。(7) 包地 对重要的信号线进行包地处理,可以显著提高该信号的抗干扰 能力,当然

还可以对干扰源进行包地处理，使其不能干扰其他信号。（8）信号线信号走线不能环路，需要按照菊花链方式布线。三、**接地处理**（1）射频链路接地 射频部分采用多点接地方式进行接地处理。射频链路铺铜间隙一般30mil 到 40mil 用的比较多。两边都需要打接地孔，且间距尽量保持一致。射频通路上对地电容电阻的接地焊盘，尽量就近打接地孔。器件上的接地焊盘都需要打接地过孔。

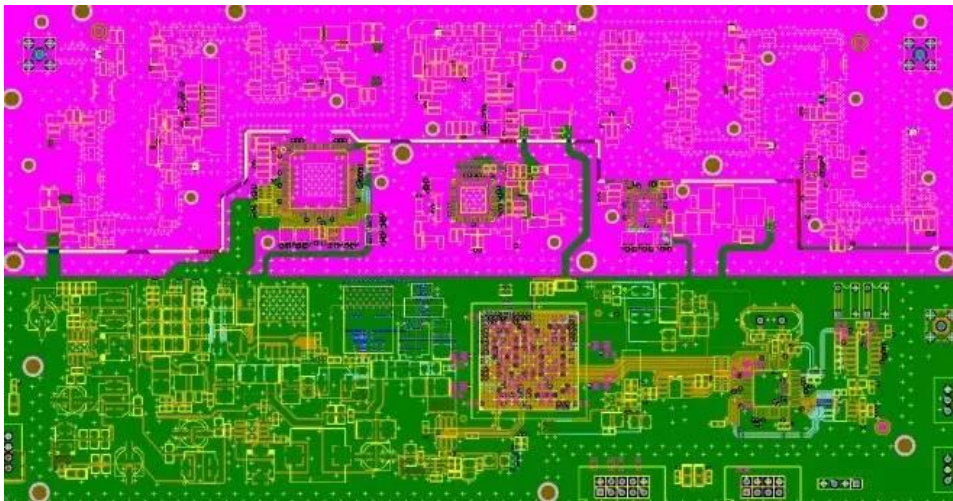


（2）腔壳接地孔 为了让腔壳与 PCB 板之间更好的接触。一般打两排接地孔且交错方式放置，如图 06 所示。PCB 隔腔上需要开窗，如图 07 所示。PCB 底层接地铜皮与底板接触的地方都需要开窗处理，使其更好的接触。如图 08 所示（PCB 板的上半部分与底座接触）：



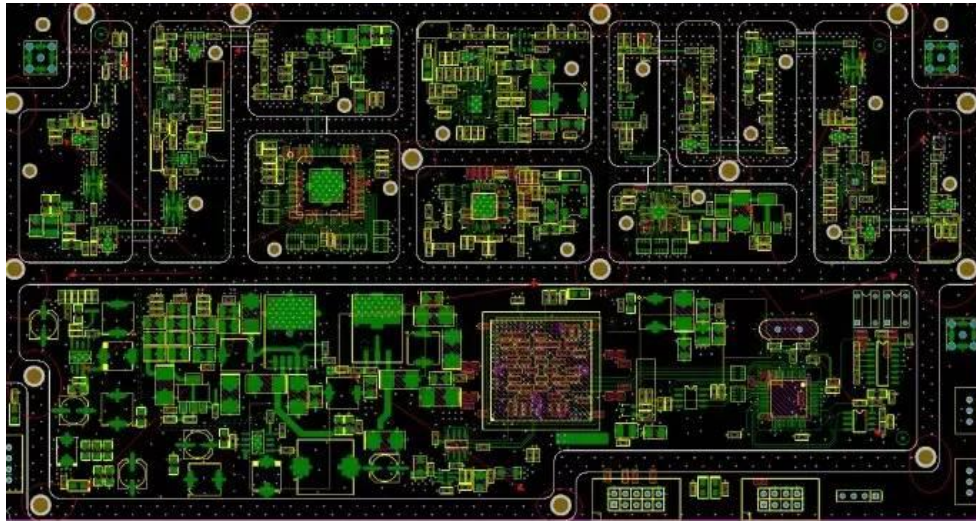


PCB 隔腔接地过孔图  
PCB 隔腔开窗图



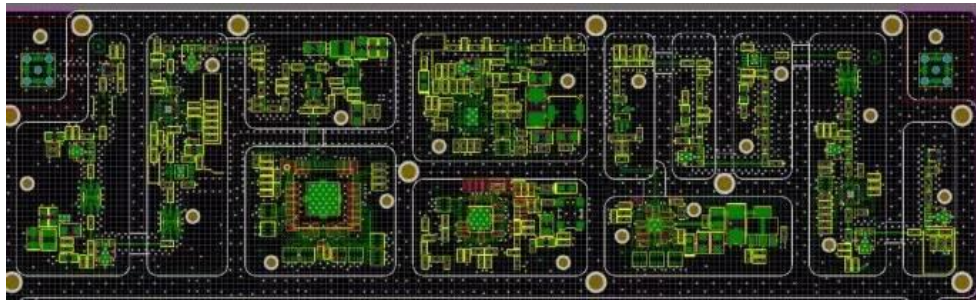
PCB 底层开窗图

(3) 螺钉放置（需要了解结构知识） 为了使 PCB 与底座和腔壳之间有更紧密的接触（更好的屏蔽） 需要在 PCB 板上放置螺钉孔位置。PCB 与腔壳之间螺钉放置方法：隔腔每个交叉的地方放置一个螺钉。在实际设计中，比较难实现，可以根据模块电路功能进行适当调整。但不管怎样，腔壳四个角上必须都有螺钉。



腔壳螺钉图

PCB 与底座之间的螺钉放置方法：腔壳中的每个小腔内都需要有螺钉，视腔大小而定螺钉数量（腔越大，放置的螺钉就多）。一般原则是在腔的对角上放置螺钉。SMA 头或其他连接器旁边必须放置螺钉。在 SMA 头或连接器在插拔过程中不致 PCB 板变形。



## 北京华泱科技有限公司



地址：北京市海淀区西小口路 27 号西三旗文化科技园 B 座 100085



联系电话：13520474050



企业邮箱：bp@hytech-ai.com